

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 04245640
PUBLICATION DATE : 02-09-92

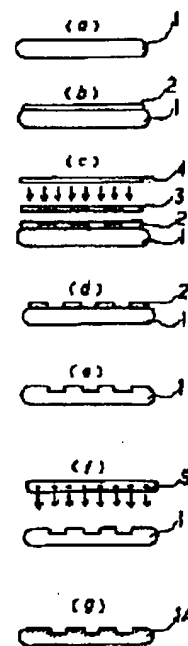
APPLICATION DATE : 31-01-91
APPLICATION NUMBER : 03010477

APPLICANT : KAWASAKI STEEL CORP;

INVENTOR : ENDO TOSHIYA;

INT.CL. : H01L 21/322 B24B 33/00

TITLE : WORKING METHOD OF
SEMICONDUCTOR SUBSTRATE



ABSTRACT : PURPOSE: To improve gettering capability without increasing damage by a method wherein, after a step-difference is formed on a surface to be turned into the back surface of a substrate by patterning using photolithography, a strain surface is formed on the above surface by liquid honing.

CONSTITUTION: A surface which is finally turned into the back surface of a silicon wafer 1 whose both surfaces are etching surface is coated with photo resist 2. By using an ultraviolet ray irradiation equipment 4, the photo resist 2 is irradiated with ultraviolet rays, via a mask 3 for patterning. Further, while a part of photo resist 2 is left, HF-HNO₃ system etching is performed and the residual resist 2 is exfoliated. Next, by jetting, e.g. precipitable silica aqueous solution, liquid honing is performed. Thus a wafer 1A having back surface strain can be obtained.

COPYRIGHT: (C)1992,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平4-245640

(43) 公開日 平成4年(1992)9月2日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/322	M	7738-4M		
B 2 4 B 33/00		7908-3C		

審査請求 未請求 請求項の数1(全 3 頁)

(21) 出願番号 特願平3-10477

(22) 出願日 平成3年(1991)1月31日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 遠藤 俊哉

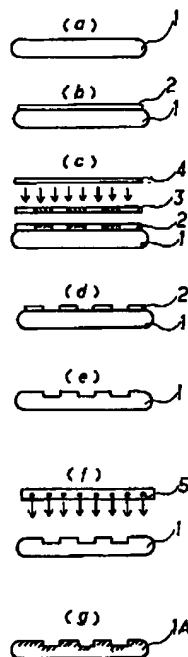
千葉県千葉市川崎町1番地 川崎製鉄株式会社技術研究本部内

(54) 【発明の名称】 半導体基板の加工方法

(57) 【要約】

【目的】 半導体基板の表面に施すダメージを強めることなくゲッタリング能力を高める。

【構成】 半導体基板1の裏面とされる面にリソグラフィを用いたバターニングにより段差を設け、ついで液体ホーニングによって歪面を形成して裏面歪付ウェーハ1Aを得る。



1

2

【特許請求の範囲】

【請求項1】 シリコン単結晶インゴットをスライスした後その片面にゲッタリング用の損傷を施す半導体基板の加工方法において、前記基板の裏面とされる面にフォトリソグラフィを用いたパターンニングにより段差を設けたのち、その面に液体ホーニングによる歪面を形成することを特徴とする半導体基板の加工方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体基板の加工方法に係り、一方の面に汚染物質ゲッタリング用の損傷を施した基板を製造するための半導体基板の加工方法に関する。

【0002】

【従来の技術】 半導体デバイスの製造に使用されるシリコンウェーハは従来、シリコン単結晶をスライスした後、両面ラッピングおよびエッチング処理した後、裏面にのみホーニングによって損傷を施す。その後洗浄を行い、さらに鏡面ポリッシュを行って鏡面ウェーハが製造される。

【0003】 ところで、ウェーハの高品位化に対する施策の一つとして、ウェーハの裏面に損傷を与えてウェーハ自体にゲッタリング能力を持たせる方法がよく知られている。これはSiO₂等の微粒子をウェーハの裏面に吹き付けて損傷を施して傷跡を形成するものである。そこで、ゲッタリング能力を高めるためにダメージを強くすると数μmに及ぶ大きな傷跡が形成される場合があり、このような傷跡が存在したままデバイスプロセスに投入すると、そこからシリコン塵等が発生し、それが微粒子となってウェーハ表面に付着する。このウェーハ汚染によって微細加工プロセスに大きな悪影響を与えることとなり、デバイス歩留り低下の主要な原因の一つとなる。

【0004】

【発明が解決しようとする課題】 上記したように、従来の技術ではゲッタリング能力を高めるために強い損傷を施したウェーハの場合は、デバイスプロセスでの発塵のためにデバイスの歩留を低下させるという問題があった。本発明はダメージを強くせずにゲッタリング能力を高め得る半導体基板の加工方法を提供するのを目的とする。

【0005】

【課題を解決するための手段】 本発明は、シリコン単結晶インゴットをスライスした後その片面にゲッタリング用の損傷を施す半導体基板の加工方法において、前記基板の裏面とされる面にフォトリソグラフィを用いたパターンニングにより段差を設けたのち、その面に液体ホーニングによる歪面を形成することを特徴とする半導体基板の加工方法である。

【0006】

【作用】 本発明によれば、リソグラフィの利用により段

差を形成し、ついで液体ホーニングで歪面を形成するようにしたので、ゲッタリング面積を拡大することができ、後洗浄でのパーティクルによる影響を考えるとなくゲッタリング能力の向上を図ることができる。

【0007】

【実施例】 以下に本発明の実施例について図1を用いて説明する。図1(a)に示すような両面エッチング面のシリコンウェーハ1の最終的に裏面となる面に図1(b)に示すようにフォトレジスト2を塗布する。そして、図1(c)に示すようにパターンニングを行うためのマスク3を介してフォトレジスト2上に紫外線照射装置4を用いて紫外線照射を行う。さらに図1(d)のように一部のフォトレジスト2が残ったまま通常のHF-HNO₃系エッチングを実施して、図1(e)のように残ったフォトレジスト2を剥離する。ついで図1(f)のようにたとえばノズル5から沈降性シリカ水溶液を噴射させて液体ホーニングを行うことによって図1(g)に示すような裏面歪付きウェーハ1Aを得ることができる。

【0008】 直径6インチで、P型、抵抗率5~10Ω-cm、結晶方位<100>の半導体用シリコンウェーハを用いて、その裏面に本発明による処理を施したもの（本発明例）、および従来の処理を施したもの（従来例）、さらに何も処理を施さないもの（無処理例）の計3水準の試料を準備した。それぞれのSi表面をFeにて故意汚染し、CMOS熱シミュレーションを行った後、MOSC-t法によるライフタイム長さτ_h（μs）にてゲッタリング効果を比較した。その結果を図2に示した。

【0009】 この図から明らかなように、本発明例は従来例や無処理例に比して、同一Fe汚染濃度に対するライフタイムが長く、したがってゲッタ能力が高いことがわかる。

【0010】

【発明の効果】 以上説明したように本発明によれば、フォトレジスト塗布によるリソグラフィにて、裏面に段差を与えかつ液体ホーニングを施すようにしたので、ダメージ強化による後工程でのパーティクル不良を出すことなく、弱いダメージにてゲッタリング面積拡大によるゲッタリング能力の向上を図ることができ、製品の歩留りに向上に寄与する。

【図面の簡単な説明】

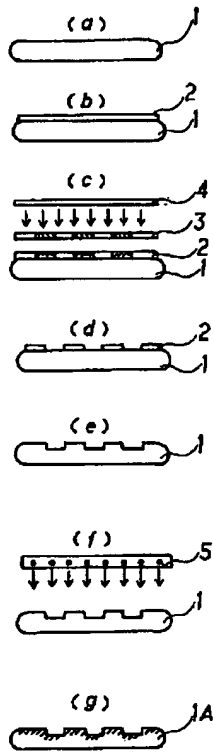
【図1】 本発明の実施の手順を示す説明図である。

【図2】 Si表面のFe汚染量とライフタイム長さの関係を示す特性図である。

【符号の説明】

- 1 シリコンウェーハ
- 1A 裏面歪付きウェーハ
- 2 フォトレジスト
- 3 マスク
- 4 紫外線照射装置

【図1】



【図2】

